

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-302488

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

G11C 16/02
G11C 16/04
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 10-048365

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.02.1998

(72)Inventor : ITO YASUO
SAKUI YASUSHI

(30)Priority

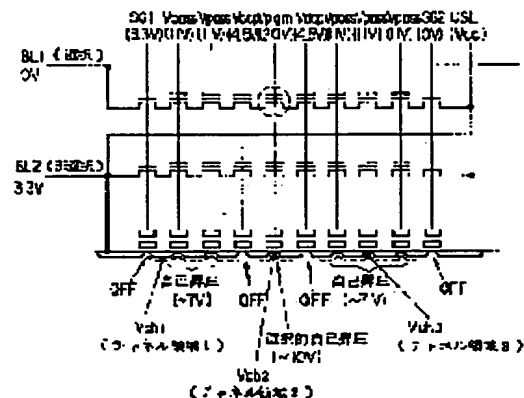
Priority number : 09 44007 Priority date : 27.02.1997 Priority country : JP

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve reliability for write protection in a non-selective NAND train by applying a voltage which is sufficiently capable of ON state even in a normally OFF state and selective automatic boost of the channel potential on the control gate of each of the selected memory cells, the neighboring memories, and the memory cells sharing a control gate.

SOLUTION: The control gates of memory cells selected ones with a circular mark, the neighboring one and the other ones are impressed with 20V, 4.5V and 11V. With this voltage control, the selected transistor SG 1 is made OFF by 3.3V supplied from a non-selective bit line BL2 to generate automatic boost. Accordingly the potential of the control gate of the memory cell impressed with 4.5V becomes lower than the channel potential and made OFF to provide a write operation. The potentials of the channel regions 2, 1 and 3 of the memory cells are raised to 10V, 7V in response to the rise of the voltage from 0V to 20V, and from 0V to 11V, diminishing the potential difference. Therefore, stress applied to memory cells are mitigated, improving reliability.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of
rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-302488

(43) 公開日 平成10年(1998)11月15日

(51) Int.Cl.⁶

識別記号

F I

G 1 1 C 16/02

G 1 1 C 17/00

6 1 1 F

16/04

6 2 2 E

H 0 1 L 27/115

H 0 1 L 27/10

4 3 4

21/8247

29/78

3 7 1

29/788

審査請求 未請求 請求項の数20 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願平10-48365

(22) 出願日 平成10年(1998) 2 月27日

(31) 優先権主張番号 特願平9-44007

(32) 優先日 平 9 (1997) 2 月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊藤 寧夫

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝研究開発センター内

(72) 発明者 作井 康司

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝研究開発センター内

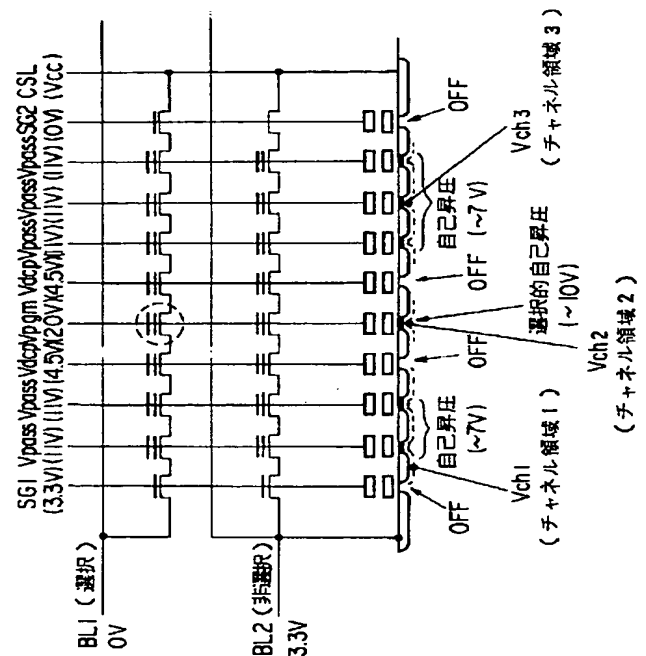
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 選択的自己昇圧方式を採用するNAND型EEPROMにおいて、非選択NAND型メモリセル列での書き込み禁止の信頼性を高め、且つ選択されたNAND型メモリセル列では、複数のメモリセルに対してランダムに書き込むことを可能にすること。更に、従来よりも低い消去電圧を用いたNAND型EEPROMのデータ消去を可能にし、素子の微細化、信頼性の向上および歩留まりの向上を可能にすること。

【解決手段】 選択的自己昇圧において、選択されたメモリセルの隣接セルの制御ゲートに対しても、該セルがONする程度の中間電圧を印加することにより、隣接セルがノーマリOFF状態であってもビット線電位が伝わるようにする。また、消去時においても自己昇圧を利用して、制御ゲートに印加する消去電圧の絶対値を低下させる。



1

【特許請求の範囲】

【請求項 1】 直列に接続された電氣的に書き替え可能な複数のメモリセルと、前記複数のメモリセルのビット線側の一端に設けられた第一の選択ゲート電極と、前記複数のメモリセルのソース線側の他端に設けられた第二の選択ゲート電極とで構成された NAND 型メモリセル列を具備した不揮発性半導体記憶装置であって、

選択された NAND 型メモリセル列の選択されたメモリセルに書き込みを行うに際し、前記選択された NAND 型メモリセル列にはビット線から低電圧が印加される一方、この選択された NAND 型メモリセル列との間で制御ゲート電極を共有する非選択 NAND 型メモリセル列には、ビット線から高電圧が印加されると共に、そのチャンネル領域の電位が浮遊状態にされ、

前記選択されたメモリセルの制御ゲート電極に、前記選択された NAND 型メモリセル列におけるチャンネル領域との間の電位差がデータの書き込みに十分であるような第 1 の電圧が印加され、

前記選択されたメモリセルに隣接するメモリセルのうち、少なくとも一方のメモリセルの制御ゲート電極に、ノーマリ OFF の状態にある場合の該メモリセルを ON させるのに十分であり、且つ非選択 NAND 型メモリセル列では、選択されたメモリセルと前記制御ゲート電極を共有したメモリセルにおけるチャンネル電位の選択的自己昇圧を可能とする第 2 の電圧が印加されることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 1 と第 2 の電圧を与えたメモリセル以外の選択 NAND 型メモリセル列内のメモリセルの制御ゲート電極に、これらのメモリセルにおける書き込みを禁止でき、且つ非選択 NAND 型メモリセル列のチャンネル電位の自己昇圧を可能とする第 3 の電圧が印加されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記第 1 の電圧、第 2 の電圧および第 3 の電圧の関係は、第 1 の電圧 > 第 3 の電圧 > 第 2 の電圧 > 0 であることを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 2 の電圧は、前記選択されたメモリセルに隣接するメモリセルのうち、前記ビット線に近い方のメモリセルの制御ゲート電極に印加されることを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 5】 前記選択されたメモリセルに隣接するメモリセルのうち、前記ソース線に近い方のメモリセルの制御ゲート電極に、前記選択されたメモリセルと当該制御ゲート電極を共有する非選択 NAND 型メモリセル列のメモリセル 1 個におけるチャンネル電位の選択的自己昇圧を可能とする第 4 の電圧が印加されることを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 6】 前記第 1 の電圧、第 2 の電圧、第 3 の電

2

圧および第 4 の電圧の関係は、第 1 の電圧 > 第 3 の電圧 > 第 2 の電圧 > 第 4 の電圧 \geq 0 であることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】 前記第 1 の電圧、第 2 の電圧、第 3 の電圧および第 4 の電圧の関係は、第 1 の電圧 > 第 3 の電圧 > 第 2 の電圧 \geq 第 4 の電圧 > 0 であることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 8】 前記第 2 の電圧は、読み出し時に、選択された NAND 型メモリセル列の選択されたメモリセル以外のメモリセルの制御ゲート電極に印加される電圧と同じ電圧であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 9】 前記第 2 の電圧は、電源電圧と同じ電圧であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 10】 前記第一の選択ゲート電極のゲート電圧は電源電圧に設定され、前記各制御ゲート電極の電位は、前記電源電圧より低い電位にされた後に、それぞれ最終設定電圧として前記の第 1 の電圧、第 2 の電圧、第 3 の電圧および第 4 の電圧に設定されることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 11】 前記第一の選択ゲート電極のゲート電圧は電源電圧に設定され、前記各制御ゲート電極の電位は、第 1 の期間で前記電源電圧より低い電位にされ、第 2 の期間で一時的に前記第 2 の電圧と略同一の電圧にまで上昇され、その後にそれぞれ最終設定電圧として前記の第 1 の電圧、第 2 の電圧、第 3 の電圧および第 4 電圧に設定されることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 12】 前記第一の選択ゲート電極のゲート電圧は電源電圧に設定され、前記各制御ゲート電極の電位は、第 1 の期間で前記電源電圧より低い電位にされ、第 2 の期間で一時的に前記第 3 の電圧と略同一の電圧にまで上昇され、その後にそれぞれ最終設定電圧として前記の第 1 の電圧、第 2 の電圧、第 3 の電圧および第 4 電圧に設定されることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 13】 前記第一の選択ゲート電極のゲート電圧は、第 1 の期間および第 2 の期間の間は電源電圧よりも高い電圧とされ、第 3 の期間では前記電源電位とされ、前記各制御ゲート電極の電位は、前記第 1 の期間で前記電源電圧より低い電位にされ、前記第 2 の期間でそれぞれ最終設定電圧として前記の第 1 の電圧、第 2 の電圧、第 3 の電圧および第 4 電圧に設定されることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 14】 前記第一の選択ゲート電極のゲート電圧は、第 1 の期間の間は電源電圧よりも高い電圧とされ、第 2 の期間および第 3 の期間では前記電源電

位にされ、

前記各制御ゲート電極の電位は、前記第 1 の期間および第 2 の期間で前記電源電圧より低い電位にされ、前記第 1 の期間で前記電源電圧として前記の第 1 の電圧、第 2 の電圧、第 3 の電圧および第 4 電圧に設定されることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 15】 前記選択されたメモリセルが前記第一及び第二の選択ゲートトランジスタのいずれかに隣接している場合、前記選択されたメモリセルの他方の隣のメモリセルの制御ゲート電極に前記第 2 の電圧または第 4 の電圧が印加されることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 16】 直列に接続された電氣的に書き替え可能な複数のメモリセルと、前記複数のメモリセルのビット線側の一端に設けられた第一の選択ゲートトランジスタと、前記複数のメモリセルのソース線側の他端に設けられた第二の選択ゲートトランジスタとで構成された NAND 型メモリセル列を具備した不揮発性半導体記憶装置であって、

選択された NAND 型メモリセル列の選択されたメモリセルに書き込みを行うに際し、前記選択された NAND 型メモリセル列および前記 NAND 型メモリセル列との間で前記制御ゲート電極を共有する非選択 NAND 型メモリセル列に対して、ビット線から少なくとも前記選択されたメモリセルおよび選択されたメモリセルと前記制御ゲート電極を共有する非選択 NAND 型メモリセル列のメモリセルのチャネル領域まで実質的にビット線電位が伝えられ、且つ前記非選択 NAND 型メモリセル列のチャネル領域が浮遊状態にされ、

前記選択された NAND 型メモリセル列における制御ゲート電極の電位が所定レベルにまで上昇され、容量結合によって前記非選択 NAND 型メモリセル列におけるチャネル領域の電位が自己昇圧され、

前記チャネル領域の自己昇圧電位と前記選択されたメモリセルに隣接したメモリセルの制御ゲート電極電位との間の電位差を利用して、前記非選択 NAND 型メモリセル列における該隣接メモリセルと前記制御ゲート電極を共有するメモリセルが OFF 状態にされ、

前記メモリセルが OFF 状態になった後に、前記選択されたメモリセルと前記制御ゲート電極を共有する非選択 NAND 型メモリセル列のメモリセルのチャネル電位が最終電位にまで昇圧されることを特徴とする不揮発性半導体記憶装置。

【請求項 17】 直列に接続された電氣的に書き替え可能な複数のメモリセルと、前記複数のメモリセルのビット線側の一端に設けられた第一の選択ゲートトランジスタと、前記複数のメモリセルのソース線側の他端に設けられた第二の選択ゲートトランジスタとで構成された NAND 型メモリセル列を具備した不揮発性半導体記憶装

置であって、

前記 NAND 型メモリセル列における選択されたメモリセルのデータ消去を行う際に、前記 NAND 型メモリセル列に電圧が印加される際に、前記 NAND 型メモリセル列の第二の選択ゲートトランジスタの間のメモリセルのチャネル領域にビット線からの第 1 の電圧が伝えられてそのチャネル領域の電位が浮遊状態にされつつ、前記選択されたメモリセルの制御ゲート電極に第 2 の電圧が、非選択メモリセルの制御ゲート電極に第 3 の電圧が夫々印加され、この場合の前記第 2 の電圧の極性と、前記第 1 および第 3 の電圧の極性とが逆極性であることを特徴とする不揮発性半導体記憶装置。

【請求項 18】 前記選択されたメモリセルの制御ゲート電極には負の電位が与えられ、非選択メモリセルの制御ゲート電極には正の電圧が与えられ、ビット線には正の電圧が与えられることを特徴とする請求項 17 に記載の不揮発性半導体記憶装置。

【請求項 19】 前記 NAND 型メモリセル列と制御ゲート電極を共有する他の NAND 型メモリセル列について、ビット線に 0 V が与えられ、該他の NAND 型メモリセル列における全メモリセルが非消去の状態にされることを特徴とする請求項 17 に記載の不揮発性半導体記憶装置。

【請求項 20】 前記 NAND 型メモリセル列は、半導体基板上にウェル拡散層を形成することなく直接形成されることを特徴とする請求項 17 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電荷蓄積用の浮遊ゲート電極と制御ゲート電極とが積層された構造を有する記憶素子をメモリセルに用いた、電氣的に書き替え可能な不揮発性半導体記憶装置に関し、特に、複数のメモリセルを直列に接続した NAND 型 EEPROM (electrically erasable programmable ROM) に関する。

【0002】

【従来の技術】図 1 (A) は、NAND 型 EEPROM の一つのメモリセル列を抜き出して示す平面図であり、図 1 (B) はその等価回路図である。図 2 は、図 1 (A) の II-II 線に沿う断面図である。図 3 は、図 1 (A) の III-III 線に沿う断面図である。

【0003】このメモリセル列は、p 型半導体基板に形成された二重拡散型 P ウェル 11 の中に形成されている。各メモリセルは、ソースおよびドレイン領域の間のチャネル領域上に絶縁膜 13、15 を介して積層された、電荷蓄積のための浮遊ゲート電極 14 および制御ゲート電極 16 を有している。但し、以下の説明においては、メモリセルを単にセルと呼ぶこともある。図示のように、メモリセル列は制御ゲート CG1~CG8 で制御される積層型メモリセル M1~M8 が複数個直列に列接

5

続され、この直列接続されたメモリセル列の両端部、即ち、ドレインD側とソースS側にそれぞれ選択トランジスタS1、S2が設けられている。これら選択トランジスタS1、S2の選択ゲートSG1、SG2によって、メモリセル列のビット線18および共通ソース線との接続を制御する構成となっている。なお、図3中の17は層間絶縁膜である。また、図2における14gと16g、および14₁₀と16₁₀は、それぞれ図示しない領域で互いに電気的に接続されて、選択ゲートSG1、SG2に加工されている。

【0004】図4は上記メモリセルにおける消去、書き込みおよび読み出しの動作時に、各部に印加される電圧の例を示す図である。以下、これらの動作について説明すると共に、それに伴う問題点を説明する。

【0005】＜データの消去＞データの消去は、ビット線BLおよびソースSをオープンとし、制御ゲートCGおよび選択ゲートSGを全部0Vにバイアスし、基板W（Pウェル層）11に消去電圧VEE（例えば20V）を印加することにより、酸化膜のトンネル現象を利用して、すべての浮遊ゲート電極内の電子を引き抜く。これにより、すべてのメモリセルのしきい値は0V以下となり、ノーマリON化（デプレッション型化）される。このノーマリONの状態を、ここではデータ「1」と定義する。これに対して、ノーマリOFF化（エンハンス型化）された状態をデータ「0」と定義する。

【0006】上記のように、従来のNAND型EEPROMにおいてデータを一括消去する場合、Pウェル層に20V程度の高い消去電圧（VEE）を印加する必要がある。このため、従来のNAND型EEPROMでは、このような高電圧で動作できるように、高耐圧トランジスタ（例えばゲート酸化膜の膜厚を400オングストローム程度に大きくしたもの）を用いる必要があり、また配線間距離の設計ルールについても、低電圧用のものに比較してスペースを広くする必要があった。このため、素子の微細化および高密度化が妨げられるという問題があった。

【0007】更に、高電圧を使うため、信頼性を確保するためには素子設計上の困難が伴うという問題があった。

【0008】＜データの書き込みおよび読み出し＞データの書き込みでは、制御ゲートCGのうち、選択されたセルの制御ゲートには書き込み電圧V_{pp}（例えば20V）を印加し、非選択セルの制御ゲートにはV_{pp}と0Vの中間電位V_m（例えば10V）を印加する。この状態で、データ「0」を書き込むセルのビット線BLには0Vを印加する一方、データ「1」のままにしておくセルのビット線BLには電位V_mが印加される。

【0009】選択されたメモリセル（制御ゲート＝V_{pp}＝20V、ビット線＝0V）では、制御ゲート電極16と基板11との間に印加される電圧（V_{pp}＝20V）

6

が、浮遊ゲート電極14と半導体基板間の静電容量（C_{s1}）と、浮遊ゲート電極14と制御ゲート電極16間の静電容量（C_{s2}）との比（C_{s2}/（C_{s1}+C_{s2}））（以下カップリング係数と呼ぶ）に依りて分割される。例えば、C_{s2}/（C_{s1}+C_{s2}）=0.5の場合、浮遊ゲート電極14と半導体基板間11との間の電位差は10Vとなる。このとき、浮遊ゲート電極14と半導体基板11との間のゲート酸化膜（以下トンネル酸化膜と呼ぶ）に加わる電界は、トンネル酸化膜の膜厚が10nmであれば10MV/cmとなり、Fowler-Nordheim電流（以下トンネル電流と呼ぶ）がトンネル酸化膜を介して流れ、電子が浮遊ゲート電極14に注入される。その結果、この選択されたメモリセルのしきい値は正となり、ノーマリOFFの状態になってデータ「0」が書き込まれる。なお、書き込みセルのしきい値は0V以上かつV_{cc}（例えば5V）以下になるようにする。

【0010】一方、データ「1」が保持される非選択メモリセル列（NAND型セル列）については、多少の電界はかかるが、ビット線からの電圧（V_m＝10V）がチャネル側に印加されるので、制御ゲート電極16に高電圧（V_{pp}）が印加されても、基板11と制御ゲート電極16の間に加わる電圧は選択セルよりも小さくなる（V_{pp}-V_m＝20-10V＝10V）。従って、トンネル酸化膜に加わる電界も緩和される（約5MV/cm）ため、トンネル電流は流れず、データ「0」の書き込みは行われない。

【0011】データの読み出しに際しては、選択されたセルの属するセル列に接続されたビット線が、例えば1Vにプリチャージされ、他のビット線は0Vにされる。そして、選択されたセルの制御ゲートには0V、それ以外の非選択セルの制御ゲートにはV_{cc}（＝5V）を印加する。これによって、選択されたセルは書き込まれているデータが「1」または「0」の何れであるかに応じて、ONまたはOFFとなるが、非選択セルは書き込まれたデータが「1」または「0」の何れであっても全てON状態になる。その結果、選択ゲートSG1およびSG2を開くと、選択されたセルのデータが「1」で、ノーマリON化（デプレッション化）していればソース側に電流が流れるが、選択されたセルのデータが「0」でノーマリOFF化（エンハンス化）していれば電流は流れない。従って、ビット線から選択されたセル列に電流が流れ込むか否かによって、選択されたセルのデータが「0」または「1」の何れであるかを判定することができる。しきい値V_{th}が0Vより大きい（すなわちエンハンス化している）セルと、しきい値V_{th}が0Vよりも小さい（すなわちデプレッション化している）セルの静特性を図5に示す。なお、V_{CG}は制御ゲートへの電圧、I_dはドレイン電流である。

【0012】以上述べた固定電位書き込み方式を改良した技術として、K. D. Suh et al. がIEEE Journal of Soli

7

d-State Circuits, vol. 30, No. 11 (1995) に発表した自己昇圧 (self-boosting) 方式がある。この自己昇圧方式では、非選択 NAND 型セル列での書き込み禁止機構が改良された結果、選択されたビット線と非選択ビット線との間の電位振幅を、従来の $0\text{ V} \rightarrow V_M$ (例えば 1 V) から、 $0\text{ V} \rightarrow V_{cc}$ (例えば 3.3 V) に低減できる結果、種々のトランジスタの耐圧を下げ、素子の微細化を達成できるなどの効果が得られている。

【0013】更に、上記 K. D. Suh et al. による自己昇圧方式を更に改良した方法として、T. S. Jungらは、選択的に自己昇圧させて書き込みを行う選択的自己昇圧 (local self-boosting (LSB)) 方式を考案している (T. S. Jung et al., ISSCC Tech-Dig., p32, 1996)。この方式によれば、非選択 NAND 型セル列における書き込み電圧 V_{pgm} によるストレスを低減させることができ、特に多値セルのしきい値ばらつきに対して大きな改善効果を得ることができる。

【0014】しかしながら、上記選択的自己昇圧方式では、非選択 NAND 型セル列での書き込み禁止の信頼性が十分とは言えず、選択された NAND 型セル列において複数のセルに対するランダムな書き込みができないという問題があった。

【0015】

【発明が解決しようとする課題】本発明は上記実情に鑑みてなされたもので、その第一の目的は、NAND 型 EEPROM において選択的自己昇圧方式を適用するにあたり、非選択 NAND 型セル列での書き込み禁止の信頼性を高めると共に、選択された NAND 型セル列においては、複数のセルに対してランダムに書き込むことを可能とする不揮発性半導体記憶装置を提供することにある。

【0016】本発明の第二の目的は、従来よりも低い消去電圧を用いて、NAND 型 EEPROM のデータ消去を可能とし、素子の微細化、信頼性の向上および歩留まりの向上を可能とする不揮発性半導体記憶装置を提供することにある。

【0017】

【課題を解決するための手段】本発明の一観点による不揮発性半導体記憶装置は、直列に接続された電氣的に書き替え可能な複数のメモリセルと、前記複数のメモリセルのビット線側の一端に設けられた第一の選択ゲートトランジスタと、前記複数のメモリセルのソース線側の他端に設けられた第二の選択ゲートトランジスタとで構成された NAND 型メモリセル列を具備した不揮発性半導体記憶装置であって、選択された NAND 型メモリセル列の選択されたメモリセルに書き込みを行うに際し、前記選択された NAND 型メモリセル列にはビット線から低電圧が印加される一方、この選択された NAND 型メモリセル列との間で制御ゲート電極を共有する非選択 NAND 型メモリセル列には、ビット線から高電圧が印加

8

されると共に、そのチャネル領域の電位が浮遊状態にされ、前記選択されたメモリセルの制御ゲート電極に、前記選択された NAND 型メモリセル列におけるチャネル領域の電位が浮遊状態にされ、この書き込みに十分であるような第 1 の電圧が印加され、前記選択されたメモリセルに隣接するメモリセルのうち、少なくとも一方のメモリセルの制御ゲート電極に、ノーマリ OFF の状態にある場合の該メモリセルを ON させるのに十分であり、且つ非選択 NAND 型メモリセル列では、選択されたメモリセルと前記制御ゲート電極を共有したメモリセルにおけるチャネル電位の選択的自己昇圧を可能とする第 2 の電圧が印加されることを特徴とする。

【0018】本発明の他の観点による不揮発性半導体記憶装置は、直列に接続された電氣的に書き替え可能な複数のメモリセルと、前記複数のメモリセルのビット線側の一端に設けられた第一の選択ゲートトランジスタと、前記複数のメモリセルのソース線側の他端に設けられた第二の選択ゲートトランジスタとで構成された NAND 型メモリセル列を具備した不揮発性半導体記憶装置であって、選択された NAND 型メモリセル列の選択されたメモリセルに書き込みを行うに際し、前記選択された NAND 型メモリセル列および前記 NAND 型メモリセル列との間で前記制御ゲート電極を共有する非選択 NAND 型メモリセル列に対して、ビット線から少なくとも前記選択されたメモリセルおよび選択されたメモリセルと前記制御ゲート電極を共有する非選択 NAND 型メモリセル列のメモリセルのチャネル領域まで実質的にビット線電位が伝えられ、且つ前記非選択 NAND 型メモリセル列のチャネル領域が浮遊状態にされ、前記選択された NAND 型メモリセル列における制御ゲート電極の電位が所定レベルにまで上昇され、容量結合によって前記非選択 NAND 型メモリセル列におけるチャネル領域の電位が自己昇圧され、前記チャネル領域の自己昇圧電位と前記選択されたメモリセルに隣接したメモリセルの制御ゲート電極電位との間の電位差を利用して、前記非選択 NAND 型メモリセル列における該隣接メモリセルと前記制御ゲート電極を共有するメモリセルが OFF 状態にされ、前記メモリセルが OFF 状態になった後に、前記選択されたメモリセルと前記制御ゲート電極を共有する非選択 NAND 型メモリセル列のメモリセルのチャネル電位が最終電位にまで昇圧されることを特徴とする。

【0019】本発明の更なる他の観点による不揮発性半導体記憶装置は、直列に接続された電氣的に書き替え可能な複数のメモリセルと、前記複数のメモリセルのビット線側の一端に設けられた第一の選択ゲートトランジスタと、前記複数のメモリセルのソース線側の他端に設けられた第二の選択ゲートトランジスタとで構成された NAND 型メモリセル列を具備した不揮発性半導体記憶装置であって、前記 NAND 型メモリセル列における選択されたメモリセルのデータ消去を行う際に、前記 NAND

9

D型メモリセル列について、少なくとも選択されたメモリセルと前記第二の選択ゲートトランジスタの間のメモリセルのチャネル領域にビット線からの第1の電圧が伝えられてそのチャネル領域の電位が浮遊状態にされ、かつ、前記選択されたメモリセルの制御ゲート電極に第2の電圧が、非選択メモリセルの制御ゲート電極に第3の電圧が夫々印加され、この場合の前記第2の電圧の極性と、前記第1および第3の電圧の極性とが逆極性であることを特徴とする。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

【0021】まず、本発明の実施の形態を具体的に説明する前に、本発明を理解しやすくする観点から、そのベースとなる既存の技術について説明する。

【0022】本発明は、K. D. Suh et al. の自己昇圧方式およびT. S. Jung et al. の選択的自己昇圧(local self-boosting)方式を改良したものであり、これらは本発明の一部を構成している。従って、本発明を理解するためには、これらの従来技術についての理解が不可欠であるので、先ずこれら二つの自己昇圧方式について説明する。

【0023】図6は、K. D. Suh et al. の自己昇圧方式における書き込み方法を示す説明図である。図7は、書き込み時に各部に印加される電圧のタイミングを示す図である。

【0024】図6(A)に示すように、選択されたビット線BL1には0Vを印加し、非選択のビット線BL2には3.3Vを印加する。図7のタイミングt1において、ドレイン側の選択トランジスタの選択ゲートSG1を0Vから3.3Vに昇圧させてトランジスタをONさせ、メモリセル列をビット線BL1、BL2に夫々接続する。一方、ソース側の選択ゲートSG2には0Vを印加し、この選択トランジスタをOFFさせて、メモリセル列と共通ソース線CSLとの接続を切っておく。その結果、2つの選択トランジスタSG1、SG2の間のセル列のチャネル電位Vchは、ビット線BL1に接続された選択されたセル列では一様に0Vとなる。一方、非選択セル列には、ビット線BL2から3.3Vが供給される。

【0025】なお、このような書き込み動作に関して、「非選択のビット線」および「非選択セル列」等の用語における「非選択」とは、セルのしきい値が正にシフトされる「0」書き込みの禁止と同義であって、以下の説明においても全て同様とする。

【0026】図6(A)に戻って、選択されたセル列での書き込みについて説明すると、選択されたセルの制御ゲート電極16にのみ、書き込み用の高電圧Vpgm(例えば18V)を印加する。この選択されたセルの状態

(状態A)は、図6(B)に示すように、制御ゲート電極が18V、チャネル電位は0Vとなる。ここでセルの

10

カップリング比が0.6の場合、浮遊ゲート電極14と半導体基板11との電位差は11Vとなり、トンネル酸化膜を介して電子が浮遊ゲート電極14に注入されてセルのしきい値が正となり、選択セルに「0」の書き込みが行われる。選択されたセル列の非選択セルに対しては、制御ゲート電極16に中間電位(Vpass、例えば10V)を印加する。上述のようにカップリング比が0.6であるため、浮遊ゲート電極14と半導体基板11との電位差は6Vとなる。この電位では、通常の書き込み時間内に、トンネル電流の注入による書き込みは行われない。従って、選択された状態A以外のセルには書き込みがなされない。

【0027】一方、非選択のビット線BL2に接続されたNAND型セル列に対しては、次のようにして書き込み動作が禁止される。既述のように、非選択のビット線BL2には3.3V(電源電圧Vcc)を印加する。図7の時刻t1において、SG1が0VからVcc=3.3Vに向けて上昇すると、選択トランジスタがONし、ビット線BL2に接続されたセル列には、該ビット線から3.3Vの電位が供給される。このNAND型セル列の全てのデータが「1」、即ちノーマリONであれば、該セル列の全てのセルのチャネル電位Vchは、選択ゲートSG1のしきい値をVth_sとしてVch=Vcc-Vth_sとなり、その後選択ゲートSG1がOFFする。即ち、Vcc=3.3V、Vth_s=1.3Vとすれば、非選択セル列の全てのセルのチャネル電位は、Vch=3.3-1.3=2Vとなる。こうして、図7の一番下に示すように、チャネル電位(例えば、図6(A)のN2、N2'の電位)は、時刻t2からt3の間に2Vまで充電される。一方、図6(A)および図7に示したように選択ゲートSG2はOFFしている(SG2の電圧は0)から、この時点で、非選択NAND型セル列のチャネル電位Vch(ソース・ドレイン領域およびセル間拡散層の電位)は浮遊状態となる。こうしてチャネル電位が浮遊状態になった後、t3からt4の間に、制御ゲートの電圧は、書き込み電圧(Vpgm=18V)または中間電位

(Vp=10V)まで上昇する。このとき、チャネル電位が浮遊状態であるため、これら制御ゲートに加わる電圧によって、図7の最下行に示したN2、N2'の電位から明らかなように、チャネル電位は初期値の2Vから8Vへとブートストラップされる(図6(C)の状態B)。この自己昇圧の大きさは、Vpgm=18Vではなく、Vpass=10Vによって決定される。何故なら、例えば16個のメモリセルを直列接続してNAND型セル列を構成したとすると、Vpgm=18Vが印加されるのは一つの制御ゲートだけに過ぎず、その他の15個の制御ゲートには全てVpass=10Vが印加されるため、Vpass=10Vの影響の方が圧倒的に大きいからである。

【0028】上記の自己昇圧の結果、図6(C)の状態Bに示したように、非選択NAND型セル列では、制御

11

ゲート電極 16 に加わる書き込み電圧 $V_{pgm} = 1.8 \text{ V}$ で、浮遊ゲート電極 14 の電位は約 1.1 V ($1.8 \text{ V} \times 0.6$) であっても、基板と浮遊ゲート電極 14 との間、その結果、トンネル電流は流れず、非選択 NAND 型セル列での書き込みが防止される。

【0029】更に、非選択 NAND 型セル列の状態 B 以外のセルでは、制御ゲート電極 16 の電圧は $V_{pass} = 1.0 \text{ V}$ 、浮遊ゲート電極 14 の電圧は 6 V ($1.0 \text{ V} \times 0.6$)、チャンネル電位は約 8 V であるため、トンネル酸化膜に加わる電位差は 2 V となり、書き込みは起こらない。

【0030】以上の説明から明らかなように、K. D. Suh et al. の自己昇圧方式によれば、次のような利点を得ることができる。

【0031】① 従来は $0 \text{ V} \rightarrow V_M$ (例えば 1.0 V) であったビット線電位の振幅を、 $0 \text{ V} \rightarrow V_{cc}$ (3.3 V) に低減できる。従って、ビット線を駆動するための種々のトランジスタの耐圧を下げることができ、更にトランジスタの微細化が可能となる。加えて、センスアンプ部等の面積や、チップサイズの削減をすることができる。

【0032】② ビット線電圧用の中間電位発生回路を *

$$V_{ch} = V_{ch\phi} + (\beta / 1.6) [(V_{pgm} - V_{th} - V_{ch\phi}) + 1.5 (V_{pass} - V_{th} - V_{ch\phi})] \quad \dots (1)$$

$$\text{ただし、} V_{ch\phi} = V_{cc} - V_{th} \quad \dots (2)$$

で与えられる。

【0036】ここで、 β は制御ゲートの電位に対するチャンネル電位の比を表す量であり、K. D. Suh et al. の文献 *

$$V_{ch} = [C_{ins} / (C_{ins} + C_{channel})] V_{wl} \quad \dots (3)$$

$$\beta = [C_{ins} / (C_{ins} + C_{channel})] \quad \dots (4)$$

となる。

【0037】通常、 β の値は 0.8 程度である。ここ *

$$1 / C_{ins} = 1 / C_{ono} + 1 / C_{tunnel} \quad \dots (5)$$

ただし、 C_{ono} : 浮遊ゲートと制御ゲートとの間のインター絶縁膜の容量、

C_{tunnel} : トンネル酸化膜間の容量

で与えられる (図 8 参照)。また、 $C_{channel}$ は、チャ *

$$V_{ch} = 9.7 \text{ V} \quad (V_{th} = -1 \text{ V}) \quad \dots (6a)$$

$$V_{ch} = 8.1 \text{ V} \quad (V_{th} = +1 \text{ V}) \quad \dots (6b)$$

となる。ただし、この計算では、 $V_{cc} = 3.3 \text{ V}$ 、 $V_{th} = 1 \text{ V}$ 、 $\beta = 0.8$ 、 $V_{pgm} = 1.8 \text{ V}$ 、 $V_{pass} = 1.0 \text{ V}$ 、 $V_{th} = -1 / +1 \text{ V}$ とした。この条件においては、 $V_{ch\phi} = 3.3 - 1 = 2.3 \text{ V}$ である。

【0039】上記の結果に基づいて、16 個すべてのセルが消去され、しきい値が -1 V になった時と、16 個すべてのセルにデータが書かれ、しきい値が $+1 \text{ V}$ になった時とを比較すれば次の通りである。

【0040】図 9 に示すように、全セルのしきい値が -1 V の場合は、非選択ビット線に接続する NAND 型セル列のチャンネルの電位 V_{ch} は 9.7 V となる。一方、全

12

* 省くことができ、チップサイズの削減につながる。

【0033】しかしながら、上記 K. D. Suh et al. による自己昇圧方式の書き込み方法には、以下に述べるような利点がある。

【0034】予め全ての NAND 型セルが消去された後に書き込む場合は、図 7 の $t_3 \sim t_4$ の期間における制御ゲート電圧の上昇時に、チャンネル電位は十分昇圧する。しかし、セルが予め書き込まれてセルトランジスタのしきい値が正の値に上昇している状態での自己昇圧の場合には、 $t_3 \sim t_4$ において、 V_{pass} と V_{pgm} がセルの書き込み後のしきい値 (例えば $+1 \text{ V}$) を越え、同じ NAND 型セル列の全てのセルトランジスタが ON した時点で初めてチャンネル部が浮遊状態となり、ブートストラップが起動することになる。そのため、チャンネル昇圧後の V_{ch} は、消去後の V_{ch} に比べて低下することになる。これについて説明すれば次の通りである。

【0035】電源電圧を V_{cc} 、メモリセルのしきい値を V_{th} 、選択ゲートのしきい値を V_{ths} 、書き込み電圧を V_{pgm} 、中間電位 (書き込み禁止電圧) を V_{pass} とする。 V_{pgm} と V_{pass} を 0 V からそれぞれ上昇させた後のチャンネル部の電位 V_{ch} は、

※ (IEEE Journal of Solid-State Circuits, vol. 30, No. 11 (1995)) に示されている通り、

* で、 C_{ins} は制御ゲートとチャンネル間の容量であり、

☆ ネルと基板間の容量、 V_{wl} は制御ゲートの電位である。

【0038】上記 (1) 式を使用して、セルのしきい値が -1 V の場合と、 $+1 \text{ V}$ の場合の夫々について V_{ch} を計算すると、

セルのしきい値が $+1 \text{ V}$ の場合は、非選択ビット線に接続する NAND 型セル列のチャンネルの電位 V_{ch} は 8.1 V となる。両者の差は 1.6 V ($= 9.7 \text{ V} - 8.1 \text{ V}$) となり、図 9 に示すように、 $V_{th} = +1 \text{ V}$ の場合の方が V_{ch} と V_{pgm} との差が大きく、 $V_{th} = -1 \text{ V}$ の場合に比較して、状態 A のセルのストレスは大きくなることがわかる。つまり、全セルのしきい値が -1 V の時、 V_{pgm} ストレスは 8.3 V であるが全セルのしきい値が $+1 \text{ V}$ の時 V_{pgm} ストレスは 9.9 V と大きくなる。これは、セルのしきい値によって、チャンネル電位 V_{ch} のブーストされる大きさが異なるためである。その結果、選択

13

されたNAND型セル列の選択されたセルにデータを書き込むとき、非選択NAND型セル列においては V_{pgm} によるストレスがばらつき、書き込み禁止の信頼性が低下することになる。

【0041】以上述べた、自己昇圧の書き込み方式の欠点を改良した方法として、T. S. Jungらが選択的に自己昇圧させて書き込みを行うLocal Self-Boosting (LSB)方式を考案し、 V_{pgm} ストレスを低減させ、特に多値セルのしきい値ばらつきに大きな効果を得ている(T. S. Jung et al., ISSCC Tech. Dig., p.32, 1996)。

【0042】このLSB方式においては、図10に示すように、選択されたセルの制御ゲートには V_{pgm} (例えば20V)を与えるが、選択されたセルの制御ゲートに隣接する2つの制御ゲートには V_{dcp} (0V)を与える。それ以外の制御ゲートには中間電位 V_{pass} (例えば11V)を与える。これにより、 V_{dcp} が入力する2つのセルトランジスタ $Qd1$ および $Qd2$ がOFFし、NAND型セル列は3つのチャネル領域1, 2, 3(それぞれ電位 V_{ch1} , V_{ch2} , V_{ch3} で示される領域)に分かれる。非選択NAND型セル列におけるチャネル領域1, 3では、そのセルトランジスタの制御ゲートに印加される中間電位 V_{pass} (例えば11V)により、そのチャネル部の電位 V_{ch1} , V_{ch3} は、既述したメカニズムに従って7Vまで自己昇圧される。一方、選択されたセルと同じ制御ゲートを共有する非選択NAND型セル列のセル、即ち「1」保持セル Qs におけるチャネル領域2の電位 V_{ch2} も、選択セルのゲートにかかる電圧 V_{pgm} (20V)によって自己昇圧を受ける。しかし、この場合は隣接するセルトランジスタ $Qd1$ および $Qd2$ はOFFしているから、既述したK. D. Suh et al.の場合とは異なり、チャネル領域1, 3における自己昇圧の影響を受けない。このため、チャネル領域2の電位 V_{ch2} は、 V_{pass} よりも高い電圧 V_{pgm} (20V)によって他のチャネル領域1, 3の電圧(V_{ch1} , V_{ch3})よりも更に大きく自己昇圧され、約10Vまで上昇する(図11)。つまり、「1」保持セルのチャネル電位のみが、他のチャネル電位よりも高くなる選択的自己昇圧(local self-boosting)が起きる。その理由は、先に述べたように、

「1」保持セル Qs の両隣のセルトランジスタがOFFしているため、「1」保持セル Qs は V_{pass} による影響を受けず、 V_{pgm} による自己昇圧のみを受けるからである。

【0043】これに関して、従前の自己昇圧方式の場合と比較して更に説明すれば次の通りである。即ち、図12に示すように、従前の自己昇圧方式ではチャネル部は一樣に自己昇圧され、そのチャネル電位は7Vになる。それに対して、選択的自己昇圧方式では、図11に示したように「1」保持セルのチャネル部は10Vになる。その結果、従前の自己昇圧方式では、セルにかかるストレスは $V_{pgm} - V_{ch1} = 20 - 7 = 13$ Vであるのに対

14

し、選択的自己昇圧方式では、 $V_{pgm} - V_{ch2} = 20 - 10 = 10$ Vとなる。従って、選択的自己昇圧方式の方がストレスは3Vも緩和されるので、非選択NAND型セル列での V_{pgm} による書き込みを抑制すること、信頼性に優れた方式であるといえる。

【0044】ところが、この選択的自己昇圧方式においては、選択されたNAND型セル列での書き込みに際し、次のような問題がある。選択されたNAND型セル列では、既述したようにビット線は0Vであり、且つ書き込みを行うべき選択されたメモリセルにこの0Vを伝えなければならない。即ち、図10において丸印で囲んだ選択セルに書き込みを行う場合、この選択セルとビット線BL1との間にあるセルは全てON状態でなければ、選択セルに書き込みを行うことができない。一方、上記の選択的自己昇圧方式では、選択セルの両隣のセルに対して $V_{dcp} = 0$ Vが印加される。従って、この隣接セルがディプレッション化されたノーマリONの状態(しきい値がマイナス)であれば、選択セルにまでビット線BL1の0Vが伝わって書き込みが行われる。しかし、隣接セルがエンハンス化されたノーマリOFFの状態(しきい値がプラス)であれば、ビット線BL1の0Vが選択セルまで伝わらず、書き込みは行われない。そのため、上記の選択的自己昇圧方式では、選択されたNAND型セル列で複数のセルに順次書き込みを行う場合、その書き込みの順番は、セルのソース側(ビットコンタクトから遠いほう)からビット線に近い方のセルに向かって順番に書き込まなければならないという制約がある。

【0045】以上述べたことをベースにして、以下、本発明の実施の形態を説明する。

【0046】[本発明の第一観点に基づ、実施形態]最初に、本発明の第一観点に基づく第1～第5実施形態を説明する。ここでは、NAND型EEPROMにおける書き込み処理の技術を中心に説明する。

【0047】図13は、本発明の第1実施形態によるNAND型EEPROMの電圧制御を示す図である。なお、この実施形態の平面図、等価回路図、縦断面図および横断面図は、それぞれ従来技術の説明で参照した図1(A)、図1(B)、図2および図3と同一であるので、これらの図面を参照されたい。

【0048】図13に示すように、丸印を付して示す選択されたメモリセルの制御ゲートには V_{pgm} (例えば20V)を印加し、選択されたメモリセルに隣接するメモリセルの制御ゲートには、次に述べる V_{pass} よりも更に低い電圧 V_{dcp} (例えば4.5V)を与える。そして、それ以外の制御ゲート電極には、 V_{pass} (例えば11V)を印加する。ここで重要なことは、T. S. Jung et al.の選択的自己昇圧方式では $V_{dcp} = 0$ であったのに対し、この実施形態では正の電圧 $V_{dcp} = 4.5$ Vを印加することである。

15

【0049】上記のように電圧制御することによって、非選択NAND型セル列においては、T. S. Jung et al. の選択的自己昇圧方式と同様の書き込み禁止動作が得られる。即ち、ビット線から V_{ch} (2.3 V) の電圧が供給された後、選択トランジスタSG1がOFFし、K. D. Suh et al. の場合と同様に自己昇圧が生じる。同時に、 $V_{dcp}=4.5$ Vを印加されているセルが、制御ゲート電極の電位がチャネル電位よりも低くなるためOFFする。その結果、チャネル部分は、T. S. Jung et al. の場合と同じく3つのチャネル領域1, 2, 3 (それぞれ電位 V_{ch1} , V_{ch2} , V_{ch3} で示される領域)に分かれる (図13、図14参照)。「1」保持するメモリセルのチャネル領域 V_{ch2} は、隣接するセルがOFF状態であるため、 V_{pgm} が0 Vから20 Vまで上昇するのに応じて自己昇圧し、0 Vから10 Vとなる。この昇圧の様子を、図21にタイミング図で示す。これに対して、 V_{ch1} および V_{ch3} は、 V_{pass} (11 V) の電位が0 Vから11 Vに上昇するのに応じて、7 Vにまで昇圧する。従って、「1」保持セルのチャネル部電圧 V_{ch2} の方が、 V_{ch1} および V_{ch3} よりも高くなる。その結果、 $V_{pgm}-V_{ch2}$ の電位差もK. D. Suh et al. の自己昇圧方式に比べて小さくなり、このセルにかかるストレスは軽減される。

【0050】一方、選択されたNAND型セル列においては、次に述べるように、当該セル列に既書き込まれたセルが存在していても、問題なく選択的に書き込みを行うことができる。

【0051】図13において丸印で囲んだセルに書き込みを行う場合、選択ゲートSG1を開いてビット線BL1に接続すると、このNAND型セル列のチャネル部の電位は、図14に破線で示すように一様に0 Vとなる。*30

$$V_{dcp} > V_{ch\phi} + V_{ths} \quad \dots (7)$$

$$\text{ただし、} V_{ch\phi} = 2.3 \text{ V, } V_{ths} = 1 \text{ V} \quad \dots (8)$$

でなければならない。これより、下限値 $V_{dcpmin}=3.3$ Vを得ることができる。なお、多少しきい値落ちを許容するとすれば、下限値 $V_{dcpmin}=2$ Vとしても構わない。

【0055】次に、上限値 V_{dcpmax} について説明する。

【0056】なお、ここでは16個のセルを直列接続したNAND型セル構造の場合を考える。また、前述のとおり、電源電圧を V_{cc} 、メモリセルのしきい値を V_{th} 、選択ゲートのしきい値を V_{ths} 、書き込み電圧を V_{pgm} 、中間電位 (書き込み禁止電圧) を V_{pass} として説明する。

【0057】まず、 V_{pgm} と V_{pass} とを0 Vからそれぞれ

$$V_{ch}(t) = V_{ch\phi} + (\beta/14) [(t V_{pgm} - V_{th} - V_{ch\phi}) + 13 (t V_{pass} - V_{th} - V_{ch\phi})] \quad \dots (9)$$

$$\text{ただし、} V_{ch\phi} = V_{cc} - V_{ths} \quad \dots (10)$$

となる。

【0060】なお、上記の(9)式では、16個あるメモリセルのうち、 V_{dcp} が印加される2個のセルはブー

16

*この場合、T. S. Jung et al. の選択的自己昇圧方式で問題になったのは、図11で説明したように、 $V_{dcp}=0$ Vであるため、隣接する非選択セル1がノーマリOFFの状態に書き込まれていなくてもこの隣接セル1がOFFし、ビット線BL1の電圧が選択セルにまで伝わらないことであった。これに対して、この実施形態では、図14に示すように隣接する非選択セル1, 2にも、ノーマリOFFの状態に書き込まれたセルのしきい値より高い $V_{dcp}=4.5$ Vが印加されている。従って、隣接セル1は、たとえノーマリOFFの状態に書き込まれていてもON状態となり、ビット線BL1の0 Vを選択されたセルのチャネル領域に伝えることができる。その結果、選択されたセルでは、制御ゲート電位 $V_{pgm}=20$ Vとチャネル電位 $V_{ch}=0$ Vとの間の電位差 (20 V) によって所望の書き込みを行うことができる。なお、それ以外のセルの制御ゲートについては、 $V_{pass}=11$ Vが印加されているから、たとえノーマリOFFの状態に書き込まれていてもONし、選択セルでの書き込みに何等障害にならないことは言うまでもない。

【0052】ところで、上記の例では、選択セルの両隣のセルのゲート電位 V_{dcp} が4.5 Vである場合を説明したが、望ましい V_{dcp} の値はこの数値に限定されず、後で説明するように所定の範囲内であればよい。以下に、望ましい V_{dcp} の範囲の下限値 V_{dcpmin} および上限値 V_{dcpmax} について説明する。

【0053】まず、下限値 V_{dcpmin} に関して説明する。

【0054】書き込み時、ビット線上の“H”側の電位 $V_{ch\phi}$ (2.3 V) がしきい値落ちせずに伝播するためには、 V_{dcp} は、

*これ上昇させた後のチャネル領域の電位 V_{ch} を以下、算出する。以下の計算では、簡単化のため、 V_{dcp} は時間に依存しない一定値であるものと仮定する (実際には、 V_{dcp} は、本第1実施形態のほかに後述する第2～第4実施形態のような変形例に応じて多少変化するが、以下の計算でもおおよその傾向は判断できる)。

【0058】 V_{pgm} と V_{pass} の初期値をゼロとする (時刻 $t=0$)。なお、 V_{pgm} と V_{pass} が最終値の書き込み電圧に到達した時を $t=1$ とする。したがって、 $0 < t < 1$ は、途中の状態を表す。

【0059】時刻 t におけるNAND型セル内のチャネルの電圧 $V_{ch}(t)$ は、

トには寄与せず、残りの14個のセルがブートに寄与するものと仮定している。

【0061】例えば、 $V_{pgm}=18$ V、 $V_{pass}=10$

17

$V, \beta = 0.8, V_{ch\phi} = 2.3 (V) = 3.3 (V) *$
 $V_{ch}(t) = 8.457t - 0.8V_{th} + 0.46 (V) \dots (11)$
 が得られる。 t が小さい間は、 V_{dcp} がゲートに印加さ
 れ、選択セルの両隣のセルが OFF 状態であ
 る。従って、チャンネルの電位 $V_{ch}(t)$ は、 V_{pgm} や
 V_{pass} の上昇に従って上昇し、チャンネル全面で同一の値
 を取る。しかし、このチャンネルの電位 $V_{ch}(t)$ が V_{dcp}
 $- V_{thx}$ (V_{thx} は隣接制御ゲートの V_{th}) になった瞬
 間、選択セルの両隣のセルが OFF 状態となり、選択セ
 ルのチャンネルとその他のセル (非選択セル) のチャンネル ※10

$$V_{dcp} - V_{th} = 8.457t - 0.8V_{th} + 0.46 \dots (12)$$

となる。

【0063】実際には、非選択セルのしきい値 V_{th} は種
 々な値を取ることが考えられ、全ての状態について計算
 すると膨大な量となる。以下、簡単化のため、非選択セ *

$$t = (V_{dcp} - 0.2V_{th} - 0.46) / 8.457 \dots (13)$$

が得られる。ただし、 $V_{th} = V_{thx} = \pm 1V$ とする。

【0065】上記の (13) 式において、 $V_{th} = +1$ ☆

$$t = (V_{dcp} - 0.66) / 8.457 \dots (14a)$$

一方、 $V_{th} = -1 (V)$ の時、

$$t = (V_{dcp} - 0.26) / 8.457 \dots (14b)$$

となる。

【0066】上記の (14a) 式において、例えば $V_{dc} \blacklozenge$

$$t = t_c = 0.45 (V_{th} = +1V) \dots (15)$$

となり、この時刻 t_c における V_{ch} は、

$$V_{ch}(t_c) = 3.47V \dots (16)$$

となる。

【0067】一方、上記の (14b) 式において、例え

$$t = t_c = 0.50 (V_{th} = -1V) \dots (17)$$

となり、この時刻 t_c における V_{ch} は、

$$V_{ch}(t_c) = 5.49V \dots (18)$$

となる。

【0068】このように上記時刻 t_c 、すなわち時刻 t
 の最終値 1 の約半分 ($0.45 \sim 0.5$) の時点で、自
 己昇圧から選択的自己昇圧に変化することがわかる。言
 い換えると、 $0 < t < t_c$ の時は自己昇圧状態となり、
 選択セルのチャンネルと非選択セルのチャンネルとは接続さ
 れ、同電位の状態で自己昇圧される。一方、 $t_c < t <$
 1 の時は選択セルのチャンネルと非選択セルのチャンネルと
 は切り離され、選択セルのチャンネルは選択的自己昇圧状
 態、非選択セルは自己昇圧状態となる。また、上記の各

$$V_{chn} = V_{ch}(1) = V_{ch}(t_c) + (1 - t_c) \beta V_{pass} \dots (19)$$

$$V_{chs} = V_{ch}(1) = V_{ch}(t_c) + (1 - t_c) \beta V_{pgm} \dots (20)$$

例えば、 $V_{dcp} = 4.5V$ の場合、

$$V_{chn} = 7.5V (V_{th} = +1V) \dots (21a)$$

$$V_{chn} = 9.5V (V_{th} = -1V) \dots (21b)$$

$$V_{chs} = 10.7V (V_{th} = +1V) \dots (22a)$$

$$V_{chs} = 12.7V (V_{th} = -1V) \dots (22b)$$

となる。

【0071】 V_{dcp} が取り得る理論上の上限値 (最大

18

* $-1 (V)$ とすると、(9) 式より、

$$V_{ch}(t) = 8.457t - 0.8V_{th} + 0.46 (V) \dots (11)$$

※が OFF されて、チャンネル全面での自己昇圧が終わる。

その後、選択セルの両隣のセルは選択的自己昇圧され
 てその電位は高くなる。非選択セルのチャンネルは自己
 昇圧されるが、選択的自己昇圧されたチャンネルの電位よ
 りも低い電位になる。

【0062】ここで、 $V_{ch}(t) = V_{dcp} - V_{thx}$ の条件
 を (11) 式に代入すると、

$$V_{dcp} - V_{th} = 8.457t - 0.8V_{th} + 0.46 \dots (12)$$

★ルの V_{th} が $-1V$ (消去状態) と $+1V$ (書き込み状
 態) の 2 つの場合についてのみ考える。

【0064】上記 (12) 式から t を導出すると、

☆ (V) の時、

◆ $p = 4.5V$ の時、

ば $V_{dcp} = 4.5V$ の時、

式から、 V_{dcp} が大きい程 t_c は大きくなり、 V_{dcp} が小
 さい程 t_c は小さくなるのがわかる。

【0069】このように、 $t_c < t < 1$ の時刻において
 は、選択セルのチャンネル領域と非選択セルのチャンネル領
 域とではその後の昇圧の仕方が異なってくる。非選択セ
 ルのチャンネルの昇圧の様子は下記の (19) 式で表され
 る。また、選択セルのチャンネルの昇圧の様子は下記の
 (20) 式で表される。

【0070】

値) は、 $t_c = 1$ の直前で選択的自己昇圧が起こる条件
 となる。従って、(14a) 式、(14b) 式において

19

$t_c = 1$ を代入すると、

$$V_{dcpmax} = 9.1 \text{ V} \quad (V_{th} = +1 \text{ V}) \quad \dots (23a)$$

$$V_{dcpmax} = 8.7 \text{ V} \quad (V_{th} = -1 \text{ V}) \quad \dots (23b)$$

となる。ここで、 V_{pgm} や V_{pass} が最終値に達した時点で自己昇圧と選択的自己昇圧とが切り替わる時 ($t_c = 1$) が、 V_{dcp} の上限値 (最大値) V_{dcpmax} に相当する。 V_{dcpmax} は、上記の (23a) 式、(23b) 式のうち、低い方の値を採用すると、 8.7 V となる。
 $2.0 \text{ V} < V_{dcp} < 8.7 \text{ V}$

【0073】以下、 V_{dcp} が 3.5 V 、 4.5 V 、 6 V 、 8 V の4通りの場合について、 t が0から1の範囲でNAND型メモリセル内のチャネルの電位を計算した結果の表を図15に示す。また、それをグラフ化したものを、それぞれ図16～図19に示す。

【0074】なお、図16～図19中におけるグラフの横軸は t を示し、縦軸は V_{pgm} 、 V_{pass} 、 V_{ch} (V_{chs} や V_{chn}) を示す。 $V_{chs} (+1)$ は、 $V_{th} = 1 \text{ V}$ の時の選択セルのチャネルの電位を示し、 $V_{chs} (-1)$ は、 $V_{th} = -1 \text{ V}$ の時の選択セルのチャネルの電位を示す。また、 $V_{chn} (+1)$ は、 $V_{th} = 1 \text{ V}$ の時の非選択セルのチャネルの電位を示し、 $V_{chn} (-1)$ は、 $V_{th} = -1 \text{ V}$ の時の非選択セルのチャネルの電位を示す。 $t_c (-1)$ は、 $V_{th} = -1 \text{ V}$ の時の自己昇圧と選択的自己昇圧との切り替わる時刻を示し、 $t_c (+1)$ は、 $V_{th} = +1 \text{ V}$ の時の自己昇圧と選択的自己昇圧との切り替わる時刻を示す。

【0075】図16～図19から分かるように、 $V_{dcp} = 3.5 \text{ V}$ の場合 (図16) および $V_{dcp} = 4.5 \text{ V}$ の場合 (図17) においては、 V_{th} が -1 V と $+1 \text{ V}$ のいずれの場合も、選択的自己昇圧電位 V_{chs} が非選択セルの自己昇圧電位よりも高くなり、本発明の効果が明白に現れている。ただし、 V_{dcp} が大きくなればなるほど選択セルの選択的自己昇圧電位と非選択セルの自己昇圧電位との差は狭まり、本発明の効果が現れなくなる。特に、 $V_{dcp} = 8 \text{ V}$ になると殆ど自己自己昇圧のみしか起こらないことが分かる。

【0076】従って、本発明の効果が発揮される実用的な範囲は、 $3 \text{ V} \leq V_{dcp} \leq 6 \text{ V}$ であると言える。

【0077】上記の説明から明らかなように、この実施形態によれば、選択セルの両隣のセルのゲートに対して上述したような適切な値の V_{dcp} を印加することにより、選択されたNAND型セル列内のセルにランダムにデータを書き込んだ後、たとえ、次に書くべきセルがすでに書いたセルよりもソース側に位置している場合であっても、ビット線 BL_1 の電位 0 V を選択されたセルのチャネル部に伝えることができ、制御ゲートの電位 V_{pgm} による書き込みを行うことができる。

【0078】なお、上記の説明から明らかなように、第1実施形態の効果をj得るためには、「0」書き込みする

20

ため、 V_{pgm} が 1.0 V であるとき、 V_{pass} が 1.0 V よりも低い値となっていることが分かる。

【0072】以上の結果、 V_{dcp} の取り得る理論上の範囲は、

$$\dots (24)$$

10 ために選択されたセルに隣接する二つの非選択セルのうち、ビット線側のセルのみが導通すればよい。即ち、ソース側の隣接セルは導通しなくても、選択されたセルへの書き込みは達成される。従って、第1実施形態の変形例として、図20に示すように、ビット線側に隣接する非選択セル1にのみ V_{dcp} を印加し、ソース側に隣接する非選択セル2には 0 V を印加するように構成してもよい。また、ソース側の非選択セル2に、 V_{dcp} 未満の正の電圧を印加するように構成してもよい。

【0079】次に、図22を参照して、本発明の第2実施形態を説明する。この実施形態は電圧の制御タイミングが上記第1実施形態と異なるが、基本的な動作原理は第1実施形態と同じである。

【0080】まず、 $t_0 \sim t_1$ の期間において選択トランジスタ SG_1 のゲート電圧を 3.3 V にする。これによって、非選択NAND型セル列のチャネル部の電位 (V_{ch1} 、 V_{ch2} 、 V_{ch3}) は約 2 V にまで充電される。 $t_1 \sim t_2$ の期間において、 V_{pgm} 、 V_{pass} 、 V_{dcp} の電位を 0 V から 4.5 V にまで上昇させる。これにより、8個のメモリセルの制御ゲート全てに 4.5 V が印加される。また、チャネル部の電位は約 3 V まで上昇される。 t_2 以降においては、 V_{pass} を 4.5 V から 11 V へ、 V_{pgm} を 4.5 V から 20 V へ上昇させる。これにより、「1」保持セルのチャネル V_{ch2} は 10 V になる。これは t_2 以後のタイミングにおいて、「1」保持セルに隣接するメモリセルは、制御ゲートに加わる電圧 ($V_{dcp} = 4.5 \text{ V}$) よりも自己昇圧したチャネル電位の方が高くなり、OFF状態となるからである。その他のチャネル部の電位 (V_{ch1} 、 V_{ch3}) も 7 V まで上昇する。この最終的な電位関係は、第1実施形態における図20の電位関係と同じである。その結果、第1実施形態と同様にして、非選択NAND型セル列での書き込み禁止が達成される。

【0081】また、選択されたNAND型セル列での書き込みについても、第1実施形態で説明したのと同様に、ランダムに行うことができる。

【0082】次に、第3実施形態を図23を参照して説明する。この実施形態も、電圧の制御タイミングが上記第1実施形態とは異なるが、基本的な動作原理は第1実施形態と同じである。

【0083】 $t_1 \sim t_2$ の期間で V_{pgm} 、 V_{pass} 、 V_{dcp}

21

を 1.1 V に上昇させる。このとき、チャネル部の電位 V_{ch1} 、 V_{ch2} 、 V_{ch3} は 7 V まで上昇する。t 2 の時点において、 V_{dcp} のみを 7 V から 4.5 V に下げ、「1」保持セルに隣接するセレクトランジスタを OFF させる。また、t 2 において V_{pgm} を 1.1 V から 2.0 V に上昇させる。これにより、「1」保持セルのチャネル電位 V_{ch2} のみが 1.0 V に昇圧される。

【0084】この場合も、最終的な電位関係は第 1 実施形態と同じであるから、非選択 NAND 型セル列における書き込み禁止、選択 NAND 型セル列における書き込みは、第 1 実施形態と同様に行われる。

【0085】次に、図 24 を参照して第 4 実施形態を説明する。この実施形態も、電圧の制御タイミングが上記第 1 実施形態とは異なるが、基本的な動作原理は第 1 実施形態と同じである。

【0086】t 0 ~ t 1 の期間において、選択ゲート SG 1 の電位を V_{cc} よりも高い電位 ($V_{cc} + V_{ths}$ 以上、例えば 4.5 V) にする。この場合は選択ゲート SG 1 によるしきい値落ちがなく、ビット線 BL 1 の電位が V_{cc} なので、この NAND 型セル列のチャネル部には V_{cc} (例えば 3.3 V) が伝わる。

【0087】t 1 ~ t 2 の期間において、 V_{pgm} を 0 V から高電圧 (例えば 2.0 V) に上げ、 V_{pass} を 0 V から 1.1 V に上げ、 V_{dcp} を 0 V から 4.5 V に上げる。これにより、 V_{ch1} と V_{ch3} は 7 V、また V_{ch2} は 1.0 V を越える高い値にまで上昇する。このように、選択ゲートトランジスタによるしきい値落ち (例えば 1.0 V) をなくし、 V_{ch1} 、 V_{ch2} 、 V_{ch3} の電圧をより高くすることができるので、誤書き込みが起こる可能性を更に低減することができる。

【0088】t 2 ~ t 3 の期間において、この実施形態では選択ゲート SG 1 の電位を 4.5 V から 3.3 V に下げるようにしている。これは次の理由による。即ち、この期間において、メモリセルのチャネル部 V_{ch1} 、 V_{ch2} 、 V_{ch3} の電位は第 1 ~ 第 3 実施形態の場合よりも高く自己昇圧しているので、ノイズ等によりビット線の電位が少しでも下がると、浮遊状態であるチャネル部からビット線へとリーク電流が流れ、チャネル部の電位が下がって誤書き込みを起こす可能性がある。これを防止するために、SG 1 の電位を下げてリーク電流が流れ難くしている。

【0089】図 25 は、本発明の第 5 実施形態における電圧制御タイミングを示している。この実施形態においても、第 4 実施形態と同じく、t 0 ~ t 1 の期間において、選択ゲート SG 1 の電位を V_{cc} よりも高い電位 ($V_{cc} + V_{ths}$ 以上、例えば 4.5 V) にする。従って、選択ゲート SG 1 によるしきい値落ちがなく、ビット線 BL 1 の電位が V_{cc} なので、この NAND 型セル列のチャネル部には V_{cc} (例えば 3.3 V) が伝わる。

【0090】t 1 ~ t 2 の期間においては、SG 1 の電

22

位を 4.5 V ~ 3.3 V に下げる。その理由は、第 4 実施形態の場合と同じである。

【0091】t 2 ~ t 3 の期間において、 V_{pgm} を 0 V から高電圧 (例えば 2.0 V) に上げ、 V_{pass} を 0 V から 1.1 V に上げ、 V_{dcp} を 0 V から 4.5 V に上げる。これにより、 V_{ch1} と V_{ch3} は 7 V に上昇し、また V_{ch2} は 1.0 V を越える高い値にまで上昇する。その結果、選択されたメモリセルには電子が注入されて書き込みがなされ、非選択セルは書き込み禁止状態となる。

【0092】なお、以上の実施形態では、選択されたメモリセルと隣接する二つのメモリセルの何れに対しても、それらの制御ゲート電極に V_{pass} よりも低い V_{dcp} を印加して OFF 状態とする場合について説明したが、本発明はこれに限定されない。即ち、本発明では、メモリセル列のチャネル領域を部分的に自己昇圧する選択的自己昇圧方式が利用可能となるような電圧が、隣接する二つのメモリセルの制御ゲート電極に与えられればよいから、例えば、一方には V_{dcp} を印加し、他方には V_{pass} を印加してもよい。但し、 V_{pgm} が制御ゲート電極に印加された「1」保持セルのチャネルのみを他のチャネル領域よりも高く自己昇圧させる観点から、二つの隣接セルの何れに対しても、それらのゲート電極に V_{dcp} を印加して OFF 状態とするのが好ましい。

【0093】なお、上述した本発明の第一観点に基づく実施形態に関しては、以下説明するような変形例も考えられる。

【0094】読み出し時においては、上記電圧 V_{dcp} を、選択された NAND 型メモリセル列の選択されたメモリセル以外のメモリセルの制御ゲート電極に印加される電圧と同じ電圧にしてもよい。このときの電圧は、ノーマリ ON のメモリセルとノーマリ OFF のメモリセルのいずれに対しても導通状態にさせる電圧であり、また、書き込み時において選択されたビット線の 0 V 電位が選択メモリセルのチャネル領域に適切に送られるようにする電圧である。

【0095】また、上記電圧 V_{dcp} を電源電圧と同じ電圧にしてもよい。この場合、電圧 V_{dcp} として新たな電圧を生成する必要がないという利点がある。

【0096】また、選択セルの両隣にある隣接セルの一方が選択トランジスタ S 1 である場合は、もう一方の隣接セルのゲート電圧は、0 V でも 4.5 V (= V_{dcp}) でもよく、また V_{dcp} 未満の正の電圧であってもよい。選択 NAND セル列側で 0 V を隣接セルを通じて選択セルに供給する必要がないからである。選択セルの両隣にある隣接セルの一方が選択トランジスタ S 2 である場合は、もう一方の隣接セルをオンさせるため、この隣接セルのゲート電圧は V_{dcp} であることが望ましい。

【0097】[本発明の第二観点に基づく実施形態] 次に、本発明の第二観点に基づく第 6 ~ 第 7 実施形態を説明する。ここでは、NAND 型 EEPROM における消

去処理の技術を中心に説明する。

【0098】図26、図27および図28は、本発明の第6実施形態によるNAND型EEPROMの電圧制御回路図、縦断面図および横断面図は、それぞれ従来技術の説明で参照した図1(A)、図1(B)、図2および図3と同一であるので、これらの図面を参照されたい。

【0099】図26に示すように、データを消去すべき選択セルを含む選択されたNAND型セル列に接続したビット線BL1には3.3Vを印加し、それ以外の非選択ビット線BL2には0Vを印加する。

【0100】まず、ビット線BL1に接続されたNAND型セル列における、選択されたセルでのデータ消去と、非選択セルでのデータ保持について説明する。図27のt1の期間において、図27に示すように、選択ゲートSG1及び制御ゲートCG1~CG8をVcc(例えば3.3V)にプリチャージする。一方、選択ゲートSG2には0Vを印加して、選択トランジスタSG2をOFFさせておく。この時、図27に示すように、チャネル部の電位VCHNはVcc-Vths(Vthsは選択トランジスタのしきい値で1V程度)、即ち、 $3.3 - 1 = 2.3$ Vとなり、選択ゲートSG2がOFFしているから、チャネル部は浮遊状態になる。

【0101】次いで、t2の期間において、図26に示すように、選択セルの制御ゲートCG6には-10Vを印加し、非選択セルの制御ゲートCG1~CG5、CG7~CG8には+10Vを印加する。この時、消去電圧-10Vが制御ゲートに印加された選択セルはOFFするが、この選択セルよりもソース側およびドレイン側におけるチャネル部はいずれも浮遊状態であるため、非選択セルの制御ゲートに加わる10Vの電圧によって、2つのチャネル部は9V程度にまで自己昇圧する。この自己昇圧については既に詳細に説明してあるので、ここでは説明を省略する。なお、選択セルよりもドレイン側のチャネル部は必ずしも浮遊状態でなくてもよく、選択ゲートSG1に印加する電圧は例えば4.5Vであってもよい。

【0102】これにより、選択されたセルの制御ゲートが-10Vで、ソース・ドレインの少なくとも一方が9Vとなるから、ゲートとソース・ドレインとの間には、浮遊ゲート電極とソース・ドレインとの間にトンネル電流を生じさせるのに十分な、19Vの電圧が印加される。従って、浮遊ゲート電極に蓄積されている電子は、トンネル電流として浮遊ゲート電極から放出される。その結果、選択されたメモリセルのしきい値は負(例えば、-2V)になり、ノーマリONの状態に変わってデータが消去される。

【0103】一方、非選択セルでは、制御ゲートの電位が+10Vで、チャネルの電位は+9Vであるため、ゲートと基板との間には電位差が+1Vしか加わらない。従って、トンネル電流は流れず、メモリセルのしきい値

は初期状態を保つ。

【0104】次に、このNAND型セル列との間で、その制御ゲート電極を共有する他のNAND型セル列におけるデータの保持について説明する。

【0105】図26に示したように、ビット線BL2を0Vとし、選択ゲートSG1の電位をVcc=3.3V、全ての制御ゲートを3.3Vにした場合、図28のt1の期間に、チャネル部の電位はすべて0Vになる。図28のt2の期間においては、図26に示したように、制御ゲートCG6に消去電圧-10Vを印加すると共に、その他の制御ゲートCG1~CG5、CG7~CG8には+10Vを与える。これにより、選択されたNAND型セル列と同様、消去電圧が制御ゲート電極に印加されたセルトランジスタはOFFするから、図26に示したように、チャネル領域はこの制御ゲートCG6と選択ゲートSG1の間のチャネル領域1(電位VCHN1で示される領域)と、制御ゲートCG6と選択ゲートSG2の間のチャネル領域2(電位VCHN2で示される領域)とに分割される。選択ゲートSG1がONしているから、ドレイン側のチャネル領域1はビット線BL2に接続されており、図28に示したように、その電位VCHN1は常に0Vを保つ。一方、ソース側のチャネル領域2は、図26の選択ゲートSG2がOFFしているから、その電位VCHN2は浮遊状態となる。そのため、非選択セルの制御ゲート電極の電位が+10Vになった時点で、図28に示したように、チャネル領域2の電位VCHN2は0~5V(例えば、3V)にまで自己昇圧する。その結果、このNAND型セル列では、CG1~CG5の制御ゲートとチャネル間の電位差は10V、CG7~CG8の制御ゲートとチャネル間の電位差は7Vになる。このような電位差では、通常の消去時間を採用する限り、電荷蓄積層と基板の間でトンネル電流は流れない。一方、チャネルがOFFしたセルトランジスタについては、トンネル電流が流れるとすれば、浮遊ゲートとソースまたはドレイン領域との間の経路を通して流れることになる。しかし、この経路での電位差は、10Vまたは13Vであるから、通常の消去時間を用いる限り、トンネル電流は流れない。従って、このNAND型セル列では、データの消去が行われることはない。

【0106】上記のように、この実施形態では、データ消去のために選択されたセルの制御ゲートに-10Vの電圧を印加し、且つK. D. Suh et al.の自己昇圧方式を利用してソース・ドレインを9Vに昇圧させることにより、選択されたセルの制御ゲート電極とソース・ドレインとの間に、データを消去するために十分な電圧を加えている。即ち、制御ゲート電極とNAND型セル列のチャネル領域には逆極性の電圧を印加しているので、夫々の電圧の絶対値は、片方の電圧を0Vとする場合に比較して略半分の値にすることができる。例えば、従来技術で説明したフラッシュ消去の場合には、制御ゲートを0

25

Vにしているため、Pウェル層には20Vの高電圧を印加する必要があったことと比較されたい。こうして、消去電圧の絶対値を低下させ得るため、この実施形態では、NAND型EEPROMを構成するトランジスタとして、従来のような高耐圧トランジスタを必要としない。また、配線間の設計ルールも通常の低電圧が使用される場合と同様にすることができるので、素子の高密度化およびチップサイズの縮小を達成することができる。更に、高電圧を使用しなくて済むので、信頼性も向上する。

【0107】なお、以上の説明では、選択された一つのセル毎にデータを消去するビット消去について説明したが、制御ゲート電極を共有する所定の数のNAND型セル列についてのビット線BLを全て3.3Vにすれば、これらのNAND型セル列の全てにおいて、選択された制御ゲートに接続されたセルを一括消去すること、即ち、ページ分一括して消去する「ページ消去」が可能となる。

【0108】次に、図29を参照して第7実施形態を説明する。この実施形態では、Nウェル層およびPウェル層が形成されておらず、メモリセル部はp型基板上に直接形成されている。消去時の電圧制御のタイミングは、上記第6実施形態と同じである。

【0109】この実施形態によれば、p型基板の電位を0Vにすることができるため、周辺CMOS回路のNチャネルトランジスタと同様に、NAND型メモリセルアレイをもこのp型基板領域に形成できる。従って、図2に示されるNAND型EEPROMのように、メモリセル部を形成するためのNウェル層およびPウェル層を形成する必要がなくなり、プロセス工程を簡略化することができる。

【0110】なお、本発明は上述の各実施の形態に限定されるものではなく、その要旨の範囲で種々変形して実施することが可能である。

【0111】

【発明の効果】以上詳述したように、本発明の第一観点によれば、非選択ビット線に接続するNAND型セル列において、制御ゲート電極に書き込み高電圧が印加されるメモリセル部はチャネル電位が十分に自己昇圧するため、書き込み時にかかるストレスが軽減される。一方、NAND型セル列内の任意のメモリセルにデータを書き込んだ後も、問題なくランダムにデータを書き込むことができる。更に、従来のデバイス性能を劣化させることなく、信頼性を向上させることができる。

【0112】また、本発明の第二観点によれば、消去時に従来のような高電圧を用いる必要がないため、昇圧回路の段数を低減することが可能となる。更に、トランジスタを高耐圧にする必要がないため、周辺回路の占める面積を削減することができる。加えて、低電圧で消去動作が可能であるため、素子の信頼性を向上させることが

26

でき、歩留まりの向上も期待できる。

【図面の簡単な説明】

【図1】NAND型EEPROMのメモリセル列を示す平面図及びその等価回路図。

【図2】図1(A)のII-II線に沿う断面図。

【図3】図1(A)のIII-III線に沿う断面図。

【図4】従来のNAND型EEPROMにおける読み出し、消去および書き込みにおける電圧制御の例を示す図。

10 【図5】メモリセルの情報が「1」又は「0」のときの、セルトランジスタのしきい値を示す図。

【図6】自己昇圧方式における書き込み方法を示す説明図。

【図7】自己昇圧方式での書き込みにおける電圧制御のタイミングを説明する図。

【図8】メモリセルトランジスタの電極電位および電極間の容量を解析して示す図。

【図9】図6(C)の状態Bにおいて各電極にかかる電位を示す図。

20 【図10】選択的自己昇圧方式における書き込み方法について説明する図。

【図11】選択的自己昇圧方式において、書き込み時の各電極にかかる電位とチャネル電位との間の関係を示す図。

【図12】自己昇圧方式において、書き込み時の各電極に印加される電位とチャネル電位との間の関係を示す図。

【図13】本発明の改良された選択的書き込み方式における、書き込み時の電圧制御を示す図。

30 【図14】本発明の改良された選択的書き込み方式における、書き込み時の動作を説明するための電位関係図。

【図15】NAND型メモリセル内のチャネルの電位上昇と時間との関係を示す図。

【図16】図15の表に示されるデータの一部をグラフ化した図。

【図17】図15の表に示されるデータの一部をグラフ化した図。

【図18】図15の表に示されるデータの一部をグラフ化した図。

40 【図19】図15の表に示されるデータの一部をグラフ化した図。

【図20】本発明の第1実施形態の変形例における、図14と同様の説明図。

【図21】本発明の改良された選択的書き込み方式における、電圧制御タイミングの第1実施形態を示す図。

【図22】本発明の改良された選択的書き込み方式における、電圧制御タイミングの第2実施形態を示す図。

【図23】本発明の改良された選択的書き込み方式における、電圧制御タイミングの第3実施形態を示す図。

50 【図24】本発明の改良された選択的書き込み方式にお

27

ける、電圧制御タイミングの第4実施形態を示す図。

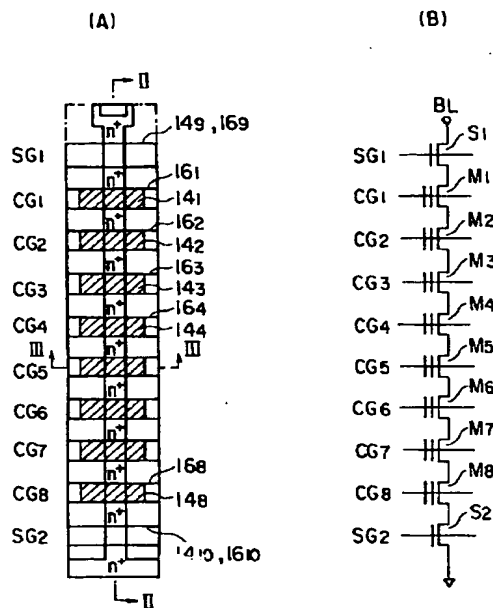
【図25】本発明の改良された選択的書き込み方式における、電圧制御タイミングの第5実施形態を示す図。

【図26】本発明の第3実施形態における、第2時の電圧制御を示す図。

【図27】本発明の第6実施形態における、選択されたNAND型セル列での選択されたセルでの消去動作、並びに非選択セル列での消去禁止動作を説明するための図。

【図28】本発明の第6実施形態における、他のNAND型セル列での消去禁止動作を説明するための図。

【図1】



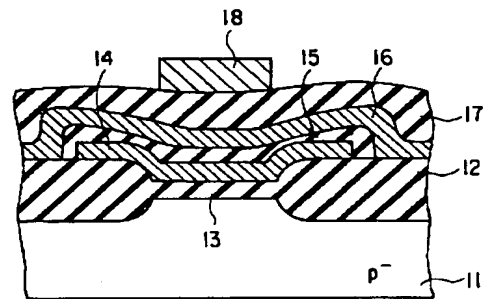
28

* 【図29】本発明の第7実施形態におけるNAND型EPROMのメモリセル列を示す断面図。

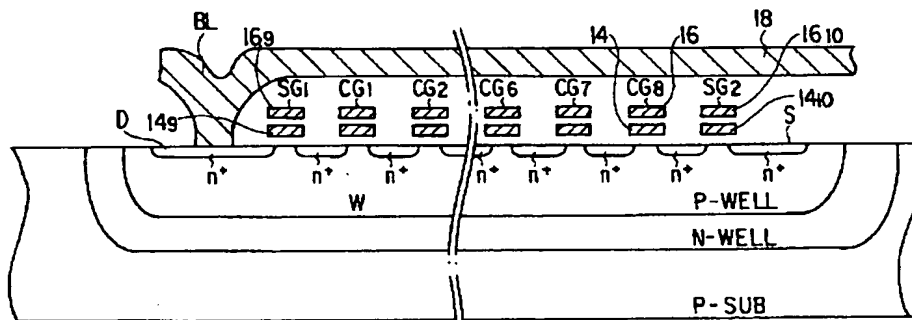
【符号の説明】

- 11…半導体基板、
- 12…素子分離領域、
- 13…トンネル酸化膜、
- 14…電荷蓄積層、
- 15…インター絶縁膜、
- 16…制御ゲート、
- 17…層間絶縁膜、
- 18…ビット線。

【図3】



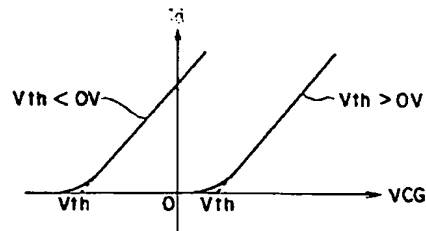
【図2】



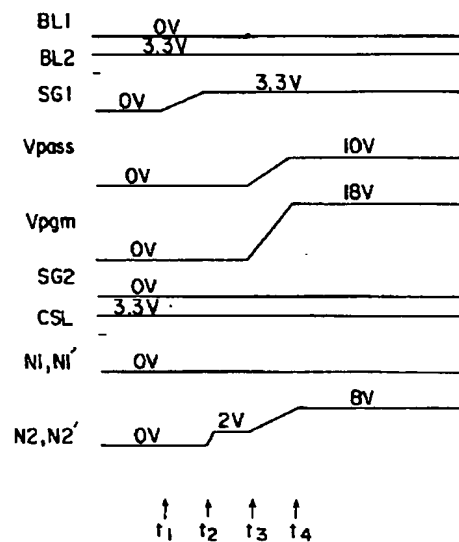
【図 4】

	読み出し	消去	書き込み
BL	1V プリチャージ	OPEN	0' 書き込み 0V 1' 書き込み 3.3V
SG1	4.5V	0V	3.3V
CG	選択 0V 非選択 4.5V	0V	選択 18V 非選択 9V
SG2	4.5V	0V	0V
W	0V	20V	0V
S	0V	OPEN	0V

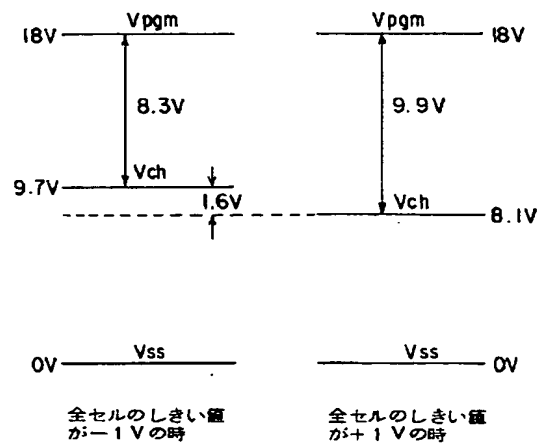
【図 5】



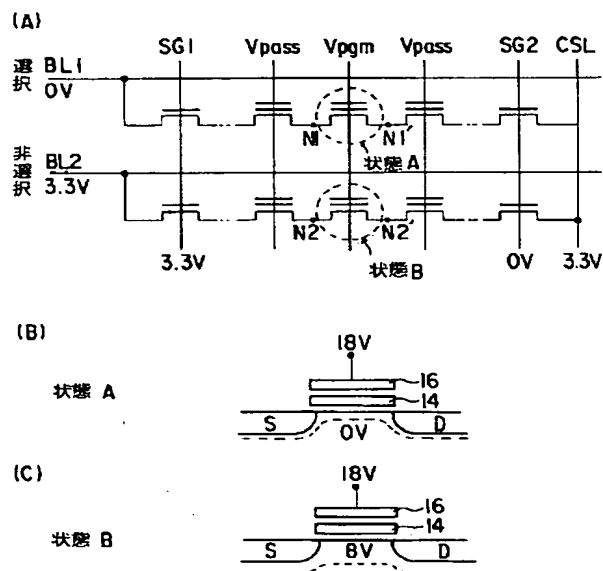
【図 7】



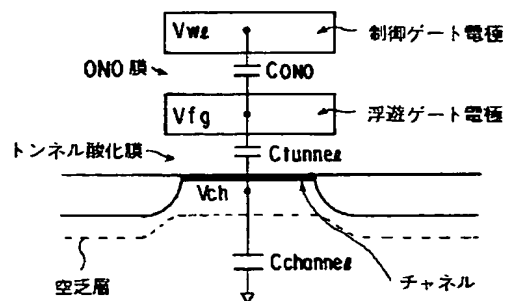
【図 9】



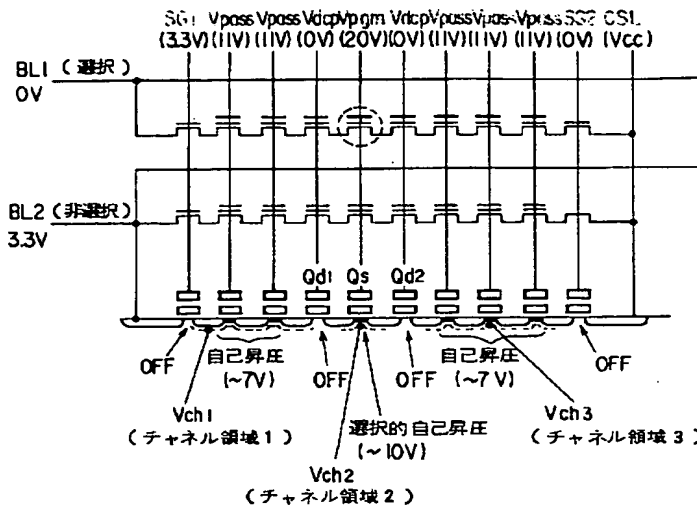
【図 6】



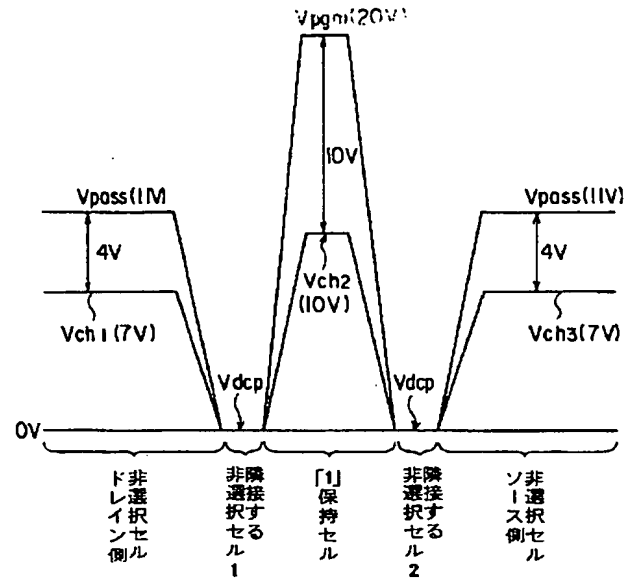
【図 8】



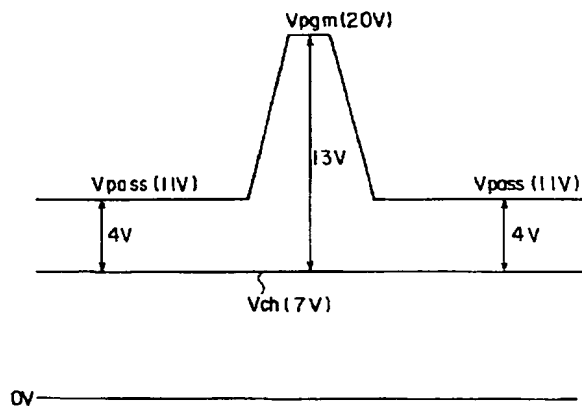
【図 10】



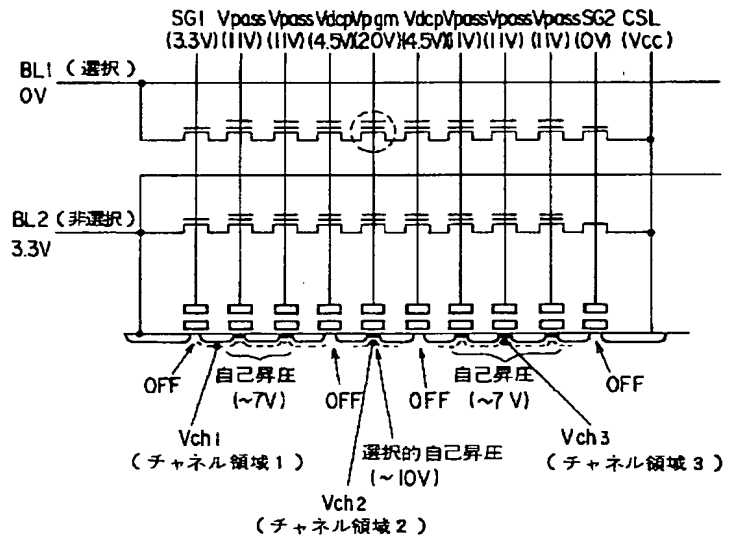
【図 11】



【図 12】



【図 13】

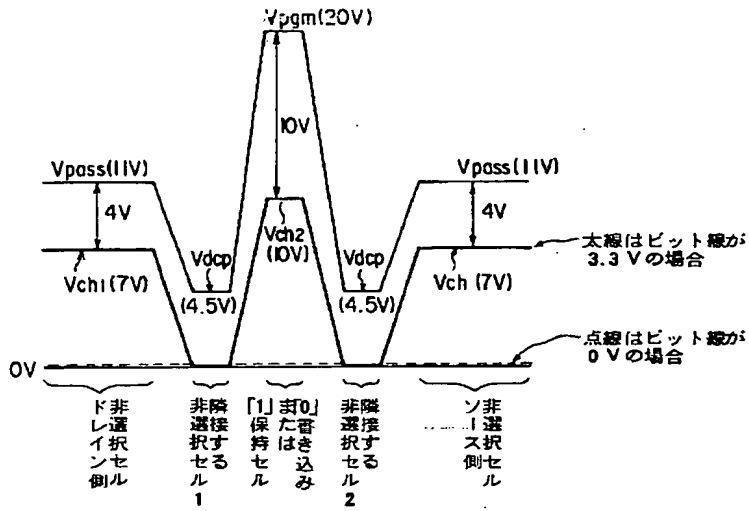


【図 15】

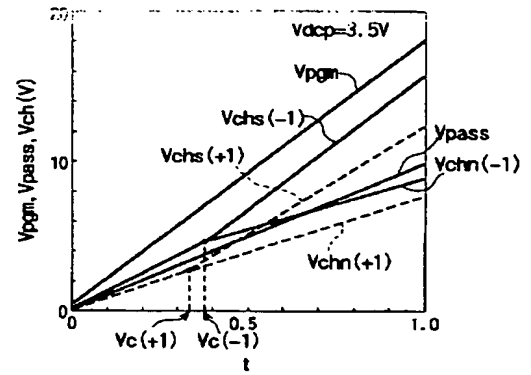
tc以外の単位はVolt

Vdcp	3.5V		4.5V		6.0V		8.0V	
Vth	+1V	-1V	+1V	-1V	+1V	-1V	+1V	-1V
tc	0.34	0.38	0.45	0.50	0.63	0.68	0.87	0.92
Vch(tc)	2.50	4.50	3.47	5.50	5.00	7.00	7.00	9.20
Vchn	7.81	9.44	7.84	9.49	7.95	9.57	8.06	9.88
Vchs	12.06	15.61	11.33	12.68	10.31	11.63	8.90	10.42

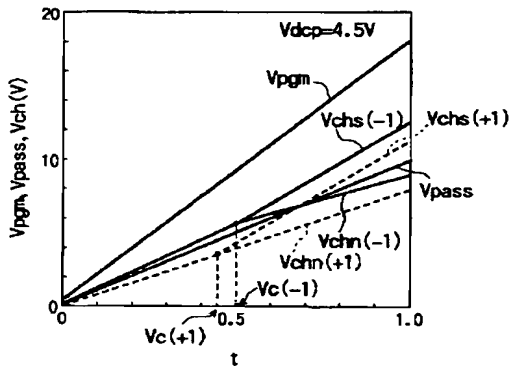
【図 14】



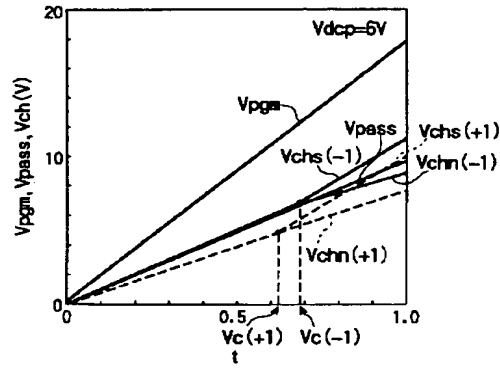
【図 16】



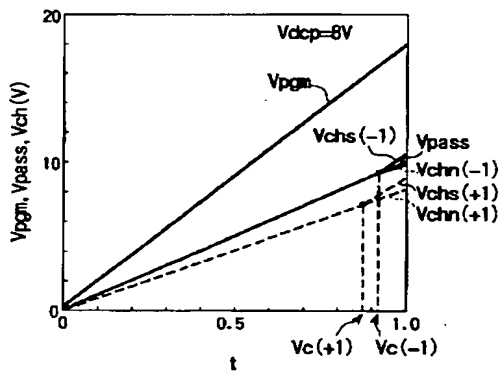
【図 17】



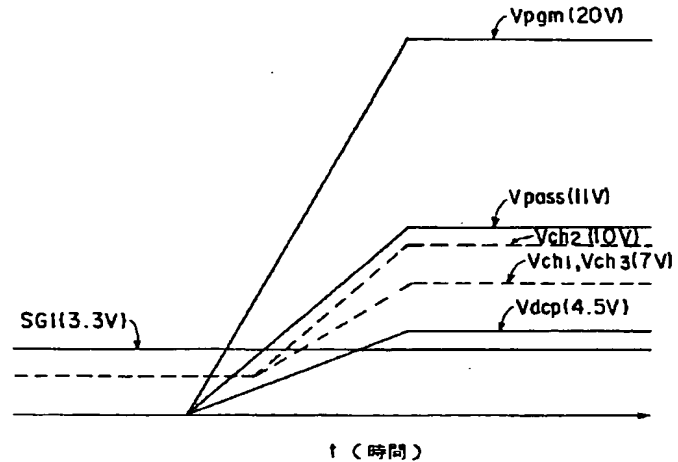
【図 18】



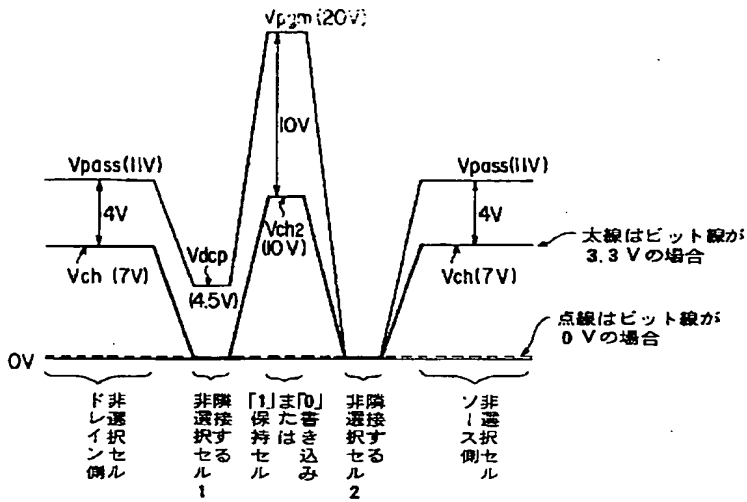
【図 19】



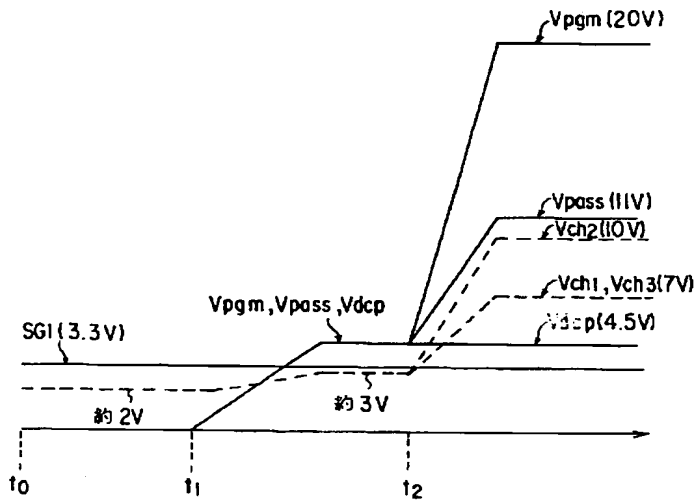
【図 21】



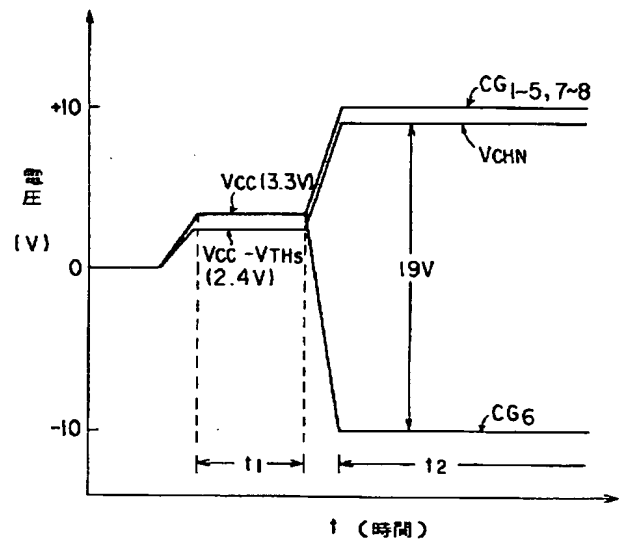
【図 20】



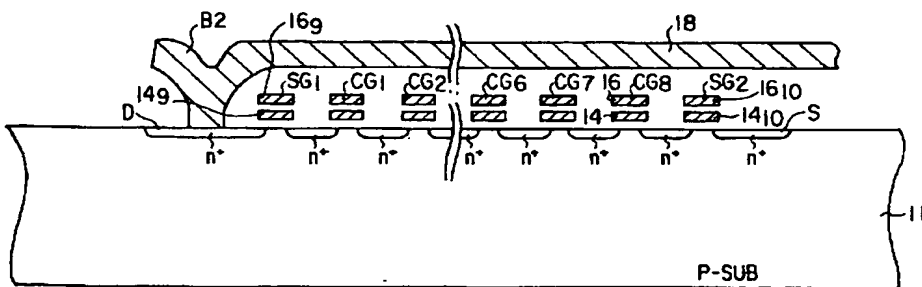
【図 22】



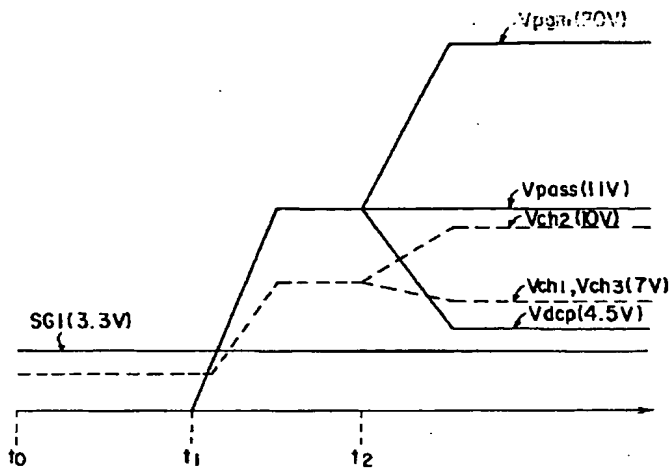
【図 27】



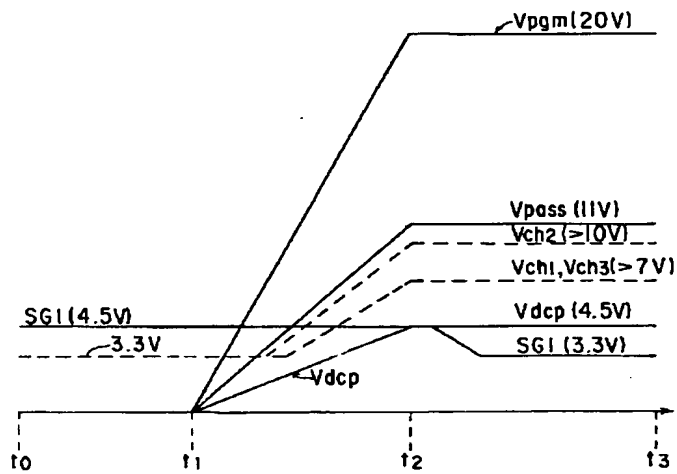
【図 29】



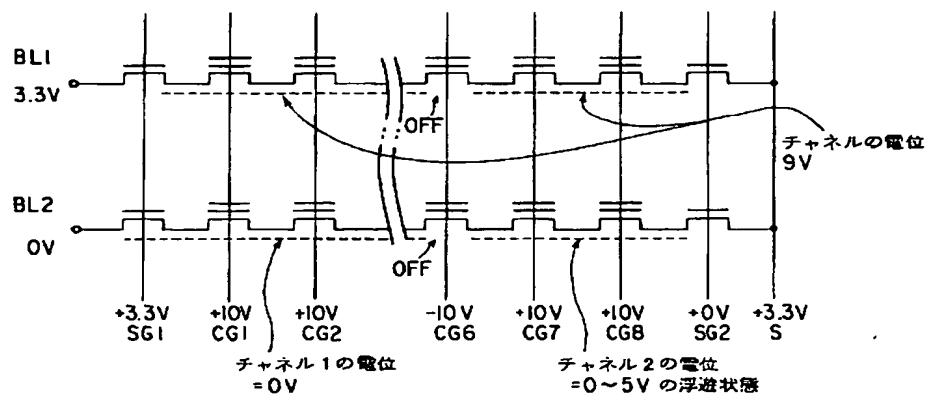
【図 2 3】



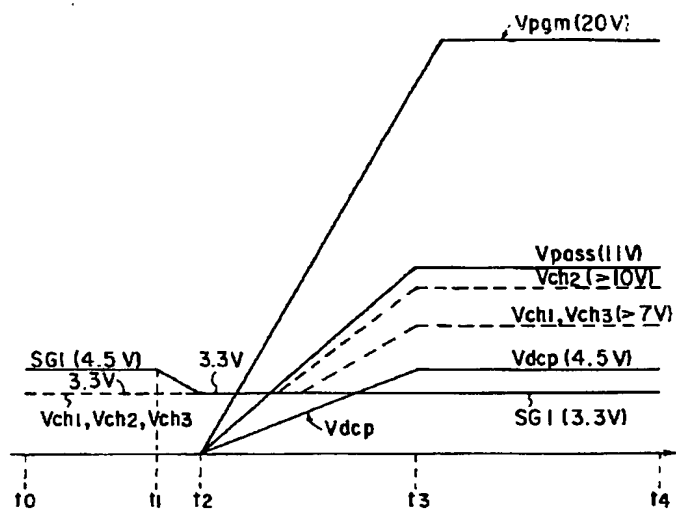
【図 2 4】



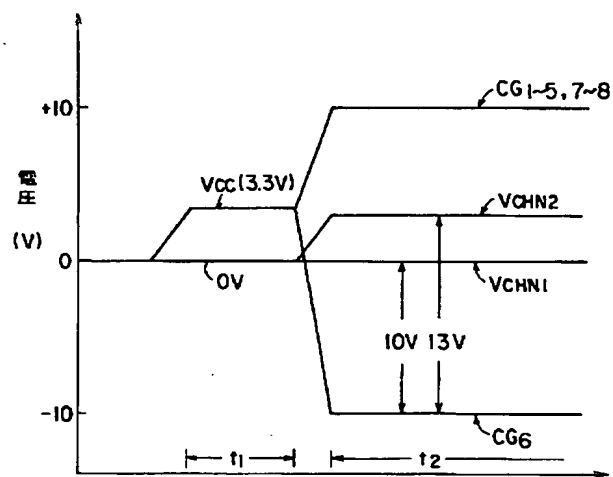
【図 2 6】



【図 25】



【図 28】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 29/792